Domaine : Ingénierie - **Thématique(s) :** Électronique, énergie électrique

STAGES COURTS

CONCEVOIR SON ARCHITECTURE NUMÉRIQUE SUR FPGA

Avec leurs millions de portes reconfigurables, les circuits FPGA donnent accès à des temps d'exécution très courts et permettent la réalisation de fonctions complexes et leur mise à jour pendant la durée de vie du produit. Ils jouent donc un rôle important dans de multiples domaines comme le traitement du son et de l'image, le biomédical, le cryptage de données et les calculs financiers par exemple. Pour assurer une bonne conception de l'électronique numérique embarquée et tirer le meilleur parti des circuits FPGA, une bonne expertise des langages de description matérielle (HDL) est nécessaire. Elle permet de synthétiser mais aussi de valider les fonctions à réaliser.
A l'issue de cette formation, les participants seront capables de maîtriser la description matérielle par le langage normalisé VHDL et de mettre en œuvre une méthode rigoureuse et systématique pour passer du cahier des charges au système numérique configuré et validé.

Durée de la formation : 21 heures
Dates : Voir le calendrier
Lieu : Campus Pierre et Marie Curie – Paris (Jussieu)
Tarif : 1580 €

Modalité : Présentiel

OBJECTIFS ET COMPÉTENCES VISÉES

- Concevoir un traitement numérique en s'appuyant sur une représentation structurelle.
- Concevoir un dispositif numérique en utilisant une représentation comportementale.
- Générer des jeux de test et valider de manière exhaustive la fonction crée.
- Structurer l'application en tâches élémentaires interdépendantes.
- Maîtriser les descriptions (VHDL) comportementale et structurelle pour passer du cahier des charges au système configuré.

PUBLIC VISÉ ET PRÉ-REQUIS

Public :
Techniciens en charge de concevoir, développer ou maintenir des cartes électroniques fondées sur des FPGA.
Ingénieurs cherchant à intégrer des composants FPGA dans leurs produits (accélération matérielle, sécurisation matérielle, ...).
Pré-requis :
Electronique numérique : bonne connaissance de l'algèbre de Boole et des fonctions logiques combinatoires et séquentielles.

PROGRAMME

- Description d'un flot de conception typique allant du cahier des charges au système numérique configuré et validé dans le circuit FPGA.
- Langage VHDL : flot de données et description structurelle du dispositif à réaliser. Intérêts et limites de cette description.
- Langage VHDL : modélisation et simulation du dispositif. Analyse des résultats issus des stimuli d'entrée choisis.

RESPONSABLE(S) PÉDAGOGIQUE



Julien Denoulet

INFORMATIONS

Catégorie de l'action de développement des compétences:
(Article L6313-1 du Code du Travail)
Action de formation
Effectifs : Min 3 pers. / Max 12 pers.
Possibilité de sessions sur-mesure

CONTACT

ingenierie-fc@sorbonne-universite.fr

Informations non contractuelles
PDF généré le 31/10/2026

- Langage VHDL : description comportementale de la fonction à synthétiser.
- Conception rigoureuse d'un « testbench » : génération de stimuli adaptés au dispositif étudié et validation automatique des résultats.
- Synthèse d'un projet complexe : structuration du problème et découpage en blocs interconnectés.
- Simulations post-synthèse.
- Démarche complète de synthèse sur un cas d'étude riche : du cahier des charges à la validation du fonctionnement sur la carte cible et son FPGA, en passant par les étapes de hiérarchisation, de description comportementale, de simulation / validation, de génération de « netlist », de configuration du circuit FPGA.

MÉTHODES

Pédagogie active fondée sur la mise en œuvre immédiate des concepts développés par le formateur.
Un cas d'étude final permet de mettre en application l'ensemble des compétences abordées.
Conditions d'apprentissage : un poste par stagiaire.
Documents : Supports de cours PDF

MODALITÉS D'ÉVALUATION

Attestation de fin de formation

DÉBOUCHÉS

Cette formation permet aux individus de sécuriser leur parcours professionnel en leur donnant les compétences nécessaires pour accompagner les entreprises dans les enjeux liés à leur secteur d'activité et s'adapter aux évolutions technologiques associées.

LES + DE LA FORMATION

- Cette formation vise à renforcer la fiabilité et la rapidité des développements de cartes numériques fondées sur des FPGA.
- L'équipe pédagogique, en pointe de la recherche française sur les systèmes numériques embarqués, est à l'écoute des multiples interrogations et points spécifiques soulevés par les stagiaires.
- Formation indispensable pour accéder à la maîtrise des systèmes sur puce (System on Chip), dits SoC. Ces aspects évolués sont traités dans les stages « System on Chip (SoC) : co-conception logicielle et matérielle embarquée sur FPGA » et « Synthèse de haut niveau (HLS) pour system on chip ».
- Formation fondée sur un langage normalisé et universellement reconnu.

CALENDRIER

Durée de la formation : 21 heures
Rythme : 3 jours consécutifs

Pour les dates, nous consulter.

Informations non contractuelles
PDF généré le 31/10/2026